

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月29日

出願番号 Application Number: 特願2003-020549

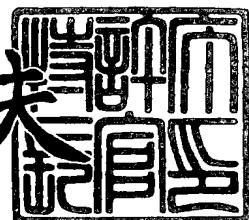
[ST. 10/C]: [JP2003-020549]

出願人 Applicant(s): ソニー株式会社

2003年11月26日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0390016402

【提出日】 平成15年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 第新 拓哉

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 三宅 仁毅

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 長部 久夫

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100063174

【弁理士】

【氏名又は名称】 佐々木 功

【選任した代理人】

【識別番号】 100087099

【弁理士】

【氏名又は名称】 川村 恭子

**【手数料の表示】****【予納台帳番号】** 013273**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9707388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 再生信号波形処理装置

【特許請求の範囲】

【請求項1】 再生信号を所定の発振周波数によって生成された再生クロック信号の間隔でサンプリングしてデジタル再生信号を生成するA/D変換器と、

前記A/D変換器で生成されたデジタル再生信号を等化する第1等化器と、

前記第1等化器で等化されたデジタル再生信号と前記再生クロック信号との周波数の位相誤差を検出し、前記再生クロック信号と前記デジタル再生信号との位相周波数誤差情報に基づく制御信号を出力する位相周波数制御手段と、

前記位相周波数制御手段の指令に基づき前記発振周波数を変化させる可変周波数発振手段と、による帰還ループが、前記デジタル再生信号と前記再生クロック信号の周波数位同期するPLLとして動作する同期回路であって、

前記第1等化器に、該第1等化器と直列接続した第2等化器を備えたことを特徴とする再生信号波形処理装置。

【請求項2】 前記第2等化器は、LMSアルゴリズムなどの自動等化機能を有する適応等化器で構成することを特徴とする請求項1に記載の再生信号波形処理装置。

【請求項3】 前記第1等化器は、位相ロックループ内の無駄時間要素を減らすためのIIRフィルタで構成することを特徴とする請求項1に記載の再生信号波形処理装置。

【請求項4】 前記位相周波数制御手段は、前記第1等化器のデジタル再生信号と前記再生クロック信号との周波数の位相誤差の検出が容易となるように等化するためのFIRフィルタを備えたことを特徴とする請求項1に記載の再生信号波形処理装置。

【請求項5】 前記帰還ループの動作クロックが、前記第2等化器のクロックに対して遅倍で動作することを特徴とする請求項1に記載の再生信号波形処理装置。

【請求項6】 前記第1等化器と第2等化器の間に、第1及び第2等化器の動作クロックの違いを吸収するデシメーションフィルタを備えると共に、前記帰

還ループ内の再生クロック信号を分周し、前記第2等化器に供給する再生クロック信号を生成する分周器を備えることを特徴とする請求項1に記載の再生信号波形処理装置。

【請求項7】 再生信号を所定の発振周波数によって生成された再生クロック信号の間隔でサンプリングするサンプリング手段と、

前記サンプリング手段により得られるデジタル再生信号を等化する第1等化手段と、

前記第1等化手段で等化されたデジタル再生信号と前記再生クロック信号との周波数の位相誤差を検出し、前記再生クロック信号と前記デジタル再生信号との位相周波数誤差情報に基づく制御信号を出力する位相周波数制御手段と、

前記位相周波数制御手段の指令に基づき前記発振周波数を変化させる発振手段と、による帰還ループが、前記デジタル再生信号と前記再生クロック信号の周波数位同期するPLLとして動作する同期回路であって、

前記第1等化手段に、該第1等化手段と直列接続した第2等化手段を備えたことを特徴とする再生信号波形処理装置。

【請求項8】 前記第2等化手段は、LMSアルゴリズムなどの自動等化機能を有する適応等化器で構成することを特徴とする請求項7に記載の再生信号波形処理装置。

【請求項9】 前記第1等化手段は、位相ロックループ内の無駄時間要素を減らすためのIIRフィルタで構成することを特徴とする請求項7に記載の再生信号波形処理装置。

【請求項10】 前記位相周波数制御手段は、前記第1等化手段のデジタル再生信号と前記再生クロック信号との周波数の位相誤差の検出が容易となるよう位相同期するためのFIRフィルタを備えたことを特徴とする請求項7に記載の再生信号波形処理装置。

【請求項11】 前記帰還ループの動作クロックが、前記第2等化手段のクロックに対して遅倍で動作することを特徴とする請求項7に記載の再生信号波形処理装置。

【請求項12】 前記第1等化手段と第2等化手段の間に、前記第1及び第

2等化手段の動作クロックの違いを吸収するデシメーションフィルタを備えると共に、前記帰還ループ内の再生クロック信号を分周し、前記第2等化手段に供給する再生クロック信号を生成する分周器を備えることを特徴とする請求項7に記載の再生信号波形処理装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、再生信号波形処理装置に関し、特に磁気メディア等の記録媒体から再生された信号を波形等化して再生デジタルデータを抽出する再生波形処理装置に関する。

##### 【0002】

##### 【従来の技術】

従来技術におけるデジタルデータを記録再生する磁気記録再生装置では、再生された信号を等化し、その後にビタビ復号器などで弁別することでデータを抽出する。

この方式では、再生データに正確に同期して復号をサンプリングすることと、再生データを弁別しやすいうように波形等化することが必要である。

##### 【0003】

図7は、磁気記録再生装置における従来の再生波形処理装置のブロック図であり、その構成は、再生信号100を増幅する再生アンプ101と、再生アンプで再生された再生信号を等化する等化器102と、等化器102で等化された信号をデジタル信号の再生データ107にするA/D変換器（ADC）103と、A/D変換器（ADC）103で変換された再生データ107をビタビ復号するビタビ復号器104と、等化器102で等化された信号をPLL（Phase Locked Loop）するPLL回路105とから大略構成されている。この中で、等化器102、A/D変換器（ADC）103、PLL105で再生波形処理装置106を構成する。

##### 【0004】

このような構成において、ヘッドから再生された再生信号100は再生アンプ

101によって増幅され、等化器102によって波形等化される。再生データ107はビタビ復号器104によって弁別される。PLL105は、等化器102によって波形等化された再生信号から再生クロック信号108を生成し、A/D変換器103及びビタビ復号器104に供給する。A/D変換器103は、等化後の再生信号を再生クロック信号108によりサンプリングすることで離散化された再生データ107を抽出する。

#### 【0005】

又、再生クロック信号108はビタビ復号器104及びシステム後段の同期信号として使用される。ビタビ復号器104は、再生データ107を最尤復号し、磁気記録されているデジタル情報を弁別し、データ109として出力する。

ここで、再生波形処理装置106は、再生信号100の波形等化と、クロック抽出及びサンプリングにより等化並びに離散化された再生データ107を得るための装置である。

#### 【0006】

ところで、図7の例では、再生信号を等化する等化器102及び再生クロック抽出用のPLL105がアナログ回路により構成される。しかし、等化及びクロック抽出の高精度化、無調整化、LSIへの高集積化、信号処理ICとのチップ（Chip）統合による低消費電力化、低コスト化などの観点から、等化器、PLLをデジタル化することが望ましい。

#### 【0007】

そこで、等化器、イコライザをデジタル化した場合の磁気記録再生装置における再生波形処理装置の例を図8に示す。

#### 【0008】

図8において、図7と同様の機能を有するものには同一符号を記し、図7との違いのみ述べる。

#### 【0009】

A/D変換器（ADC）103は、再生アンプ101により増幅された再生信号100を、電圧制御発振器（VCO）203によって生成される再生クロック信号108によりサンプリングすることで離散化された再生データ107を抽出

する。

等化器201は、A/D変換器103デジタル化された信号を等化して再生データ107を出力する。位相周波数制御器202は等化後の再生データ107からデジタル処理により位相及び周波数誤差情報を検出し、それに基づき電圧制御発振器（VCO）203の発振周期を制御する。電圧制御発振器（VCO）203は位相周波数制御器202の出力に基づき発振周期を変化させ再生クロック信号108を得る。再生クロック信号108はA/D変換器（ADC）103以外にも、等化器201、ビタビ復号器104、位相周波数制御器202及びシステム後段の同期信号として使用される。図7のアナログPLL105に相当するのは、A/D変換器（ADC）103、等化器201、位相周波数検出器202、電圧制御発振器（VCO）203からなる帰還ループであり、再生クロック信号108は再生信号100に正確に同期して発振することが可能となる。

#### 【0010】

図8のデジタル方式の再生波形処理装置106においては、等化器201の等化特性が、抽出されるデータのエラーレートに重大な影響を与える。従って、デジタル方式の等化器201は、再生信号100に含まれる等化誤差を正確に等化する必要がある。

#### 【0011】

一方、図8のデジタル方式の波形処理装置において等化器201をデジタル方式により実現する場合は、クロック単位で遅延が発生する。この遅延はPLLにとってむだ時間要素となり、制御系の位相余裕を減少させるためPLLのループゲインを制約する。即ち、高速引き込みを実現しようとゲインを高く設定すると、PLLの制御フィードバックのむだ時間要素が大きい系では位相余裕が削減され、系が不安定になるという問題がある。

#### 【0012】

ここで、例えば、磁気テープを用いてヘリカルスキャンによる記録再生を行う磁気記録再生装置に再生波形処理装置を適用することを考える。図8において等化器201の備えるべき等化特性は、例えば、DC CUTのためのLPF特性と電磁変換特性の逆特性とナイキストフィルタ特性である。

### 【0013】

この特性を実現する等化器として、低域減少、積分等化、高域強調、ナイキスト周波数付近を減衰させる IIR フィルタで構成することが考えられる。しかし、これらのフィルタ特性を目標特性に厳密に合わせるためには系が複雑になり、デジタル処理量の増加によりむだ時間要素も多くなる。また、ヘリカルスキャン方式の磁気記録再生装置では、テープ、磁気記録再生ヘッド、ロータリートランスなどの構成要素に製造上避けられないバラツキをも等化する必要がある。上記構成の等化器ではパラメータが多いため系の自由度は大きいが、最適な等化を行うためのパラメータ設定をすることが非常に困難である。

### 【0014】

又、図 8において、等化器 201 をトランスバーサルフィルタで構成する場合を考える。この場合、周波数特性の等化は LMS アルゴリズムなどの自動等化方式により適応的に等化させることにより構成要素の製造バラツキに対応することが可能である。

### 【0015】

#### 【特許文献 1】

特開平 7-302467 号公報 (第 3 頁～第 4 頁 第 1 図)

### 【0016】

#### 【発明が解決しようとする課題】

しかしながら、従来技術で説明した帰還ループにおいては PLL ループと干渉するため、適応的な位相等化を実現することが出来ない。また、十分な波形等化性能を得るためににはトランスバーサルフィルタのタップ数を増やす必要がある。

特に、ヘリカルスキャン方式の磁気記録再生装置では、低周波数のトラッキングサーボ信号を再生信号から抽出してトラッキングサーボを行う場合がある。このトラッキングサーボ信号は民生用 DVC (Digital Video Camera) の場合で 465 kHz、697 kHz であるため、積分等化の低域強調特性をトラッキングサーボ信号付近まで伸ばすことを考えるとかなり多くのタップを必要とする。このためトランスバーサルフィルタで等化器を構成する場合、PLL のむだ時間要素が大きくなるためループゲインを高く出来ず、広い周波

数引き込み性能や高応答性を確保することが難しいという問題がある。

### 【0017】

従って、周波数引き込み範囲が広く、高速引き込み可能なデジタル方式のPLL (Phase Locked Loop) を含み、波形等化特性に優れたデジタル方式の再生波形等化装置を比較的小さな回路規模で実現することに解決しなければならない課題を有する。

### 【0018】

#### 【課題を解決するための手段】

上記課題を達成するために、本発明に係る再生波形処理装置は、次に示す構成にすることである。

### 【0019】

(1) 再生波形処理装置は、再生信号を所定の発振周波数によって生成された再生クロック信号の間隔でサンプリングしてデジタル再生信号を生成するA/D変換器と、前記A/D変換器で生成されたデジタル再生信号を等化する第1等化器と、前記第1等化器で等化されたデジタル再生信号と前記再生クロック信号との周波数の位相誤差を検出し、前記再生クロック信号と前記デジタル再生信号との位相周波数誤差情報に基づく制御信号を出力する位相周波数制御手段と、前記位相周波数制御手段の指令に基づき前記発振周波数を変化させる可変周波数発振手段と、による帰還ループが、前記デジタル再生信号と前記再生クロック信号の周波数位同期するPLLとして動作する同期回路であって、該第1等化器と直列接続した第2等化器を備えたことである。

(2) 又、前記第2等化器は、LMSアルゴリズムなどの自動等化機能を有する適応等化器で構成することを特徴とする(1)に記載の再生信号波形処理装置。

(3) 前記第1等化器は、位相ロックループ内の無駄時間要素を減らすためのIIRフィルタで構成することを特徴とする(1)に記載の再生信号波形処理装置。

(4) 前記位相周波数制御手段は、前記第1等化器のデジタル再生信号と前記再生クロック信号との周波数の位相誤差の検出が容易となるように等化するためのFIRフィルタを備えたことを特徴とする(1)に記載の再生信号波形処理装置

。

(5) 前記帰還ループの動作クロックが、前記第2等化器のクロックに対して通倍で動作することを特徴とする(1)に記載の再生信号波形処理装置。

(6) 前記第1等化器と第2等化器の間に、第1及び第2等化器の動作クロックの違いを吸収するデシメーションフィルタを備えると共に、前記帰還ループ内の再生クロック信号を分周し、前記第2等化器に供給する再生クロック信号を生成する分周器を備えることを特徴とする(1)に記載の再生信号波形処理装置。

#### 【0020】

(7) 再生信号波形処理装置は、再生信号を所定の発振周波数によって生成された再生クロック信号の間隔でサンプリングするサンプリング手段と、前記サンプリング手段により得られるデジタル再生信号を等化する第1等化手段と、前記第1等化手段で等化されたデジタル再生信号と前記再生クロック信号との周波数の位相誤差を検出し、前記再生クロック信号と前記デジタル再生信号との位相周波数誤差情報に基づく制御信号を出力する位相周波数制御手段と、前記位相周波数制御手段の指令に基づき前記発振周波数を変化させる発振手段と、による帰還ループが、前記デジタル再生信号と前記再生クロック信号の周波数位同期するPLLとして動作する同期回路であって、該第1等化手段と直列接続した第2等化手段を備えたことである。

(8) 前記第2等化手段は、LMSアルゴリズムなどの自動等化機能を有する適応等化器で構成することを特徴とする(7)に記載の再生信号波形処理装置。

(9) 前記第1等化手段は、位相ロックループ内の無駄時間要素を減らすためのIIRフィルタで構成することを特徴とする(7)に記載の再生信号波形処理装置。

(10) 前記位相周波数制御手段は、前記第1等化手段のデジタル再生信号と前記再生クロック信号との周波数の位相誤差の検出が容易となるように等化するためのFIRフィルタを備えたことを特徴とする(7)に記載の再生信号波形処理装置。

(11) 前記帰還ループの動作クロックが、前記第2等化手段のクロックに対して通倍で動作することを特徴とする(7)に記載の再生信号波形処理装置。

(12) 前記第1等化手段と第2等化手段の間に、前記第1及び第2等化手段の動作クロックの違いを吸収するデシメーションフィルタを備えると共に、前記帰還ループ内の再生クロック信号を分周し、前記第2等化手段に供給する再生クロック信号を生成する分周器を備えることを特徴とする(7)に記載の再生信号波形処理装置。

### 【0021】

このように、PLLとして動作する帰還ループがA/D変換器と第1等化器と位相周波数制御手段と可変周波数発振手段とから構成し、尚且つ直列に接続した第2等化器で第1等化器の残留等化誤差を吸収するようにしたことで、第1等化器は厳密な等化をする必要がなくなるため、第1等化器のむだ時間要素を減らし、PLLの高応答性が実現できる。一方、第1等化器の等化誤差は第2等化器により等化することで、必要とする波形等化特性を実現することが可能になる。

### 【0022】

#### 【発明の実施の形態】

次に、本願発明に係る再生信号波形処理装置の種々の実施形態について、図面を参照して、以下説明する。

### 【0023】

本願発明の第1実施形態の再生信号波形処理装置は、図1に示すように、磁気メディアから再生ヘッドを通して得られる再生信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリングして再生デジタルデータを生成するA/D変換器(ADC)103と、A/D変換器(ADC)103で得られたデジタルデータを等化する第1等化器301と、第1等化器301で生成された等化データ303を入力して等化する、第1等化器301に直列接続した第2等化器302と、第2等化器302で生成された再生データ107をビタビ復号してデータ109を出力するビタビ復号器104と、第1等化器301で生成された等化データ303を入力すると共に、再生クロック信号108を入力して位相周波数誤差情報を検出しそれに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108を出力する電圧制御発振器(V

C O) 203 とから構成されている。そして、電圧制御発振器 203 から出力される再生クロック信号 108 は A/D 変換器 103、第 1 等化器 301、第 2 等化器 302、ビタビ復号器 104、位相周波数制御器 202 に入力され、後段のシステムの同期用クロック信号となる。

この中で、A/D 変換器 103、第 1 等化器 301、位相周波数制御器 202、電圧制御発振器 203 の帰還ループで PLL を構成し、更に、この帰還ループに第 1 等化器 301 に直列接続した第 2 等化器 302 で再生波形処理装置 106 を構成する。

#### 【0024】

このような構成からなる再生信号波形処理装置は、磁気メディアから再生ヘッドを通して得られる再生信号 100 は、再生アンプ 101 を通して A/D 変換器 103 に入力され、この A/D 変換器 103 の出力は第 1 等化器 301 に入力される。第 1 等化器 301 の出力である等化データ 303 は第 2 等化器 302 と位相周波数制御器 202 とに入力される。位相周波数制御器 202 の出力は電圧制御発振器 203 に入力される。電圧制御発振器 203 は再生クロック信号 108 を出力する。第 2 等化器 302 の出力である再生データ 107 はビタビ復号器 104 によって弁別され、データ 109 を出力する。

#### 【0025】

このように、磁気メディアから再生ヘッドを通して再生される再生信号 100 は、再生アンプ 101 により増幅され、離散化手段である A/D 変換器 103 によりサンプリングされ、再生デジタルデータを得る。第 1 等化器 301 は A/D 変換器 103 により得られるデジタル信号をデジタル処理し等化データ 303 を出力し、等化データ 303 は第 2 等化器 302 と位相周波数制御器 202 とに供給される。位相周波数制御器 202 は等化データ 303 と、後述する手段で生成される再生クロック信号 108 との位相周波数誤差情報を検出ししそれに基づく制御信号を出力する。発振手段である電圧制御発振器 203 は位相周波数制御器 202 からもたらされる制御情報に基づき発振周期を変化させ、再生クロック信号 108 を出力する。

#### 【0026】

ここで、A/D変換器103、第1等化器301、位相周波数制御器202、電圧制御発振器203からなる帰還ループにより、再生信号100と再生クロック108との位相同期ループ（PLL）が形成される。

### 【0027】

一方、第2等化器302は等化データ303に残留する等化誤差を等化して再生データ107として出力する。ビタビ復号器104は第2等化器302によって等化された再生データ107からビタビ復号によりデータ109を得る。

### 【0028】

このように、PLLの構成要素である第1等化器301と、第2等化器302を分離することにより、第1等化器301は、第2等化器302による厳密な等化を期待できるため、厳密な等化特性を実現する必要性から開放される。

又、第1等化器301が備えるべき特性は、A/D変換器103、第1等化器301、位相周波数制御器22、電圧制御発振器203で構成される位相同期ループ（PLL）を構成する必要十分な等化特性を実現するだけとなるため、簡便でもうだ時間要素の少ない等化器の設計が可能となる。

これにより、位相同期ループの総合的なむだ時間が減り、ループゲインを高く設定できるため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来る。

更に、第2等化器302により第1等化器301の残留等化誤差を無くせるため、エラーレートを低くすることが出来る。

又、第2等化器にとっては、残留等化誤差分を等化するだけでよいので回路規模を小さくすることが可能となる。

### 【0029】

次に、本願発明に係る第2実施形態の再生信号波形処理装置について、図2を参照して説明する。

### 【0030】

本願発明の第2実施形態の再生信号波形処理装置は、上記説明した第1実施形態の第2等化器302をトランスバーサルフィルタで構成したものであり、その構成は、図2に示すように、磁気メディアから再生ヘッドを通して得られる再生

信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリングして再生デジタルデータを生成するA／D変換器（A D C）103と、A／D変換器（A D C）103で得られたデジタルデータを等化する第1等化器301と、第1等化器301で生成された等化データ303を入力して等化する、第1等化器301に直列接続したトランスバーサルフィルタ302A（第2等化器に相当する）と、トランスバーサルフィルタ302Aで生成された再生データ107をビタビ復号してデータ109を出力するビタビ復号器104と、第1等化器301で生成された等化データ303を入力すると共に、再生クロック信号108を入力して位相周波数誤差情報を検出しそれに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108を出力する電圧制御発振器（V C O）203とから構成されている。そして、電圧制御発振器203から出力される再生クロック信号108はA／D変換器103、第1等化器301、第2等化器302、ビタビ復号器104、位相周波数制御器202に入力され、後段のシステムの同期用クロック信号となる。

この中で、A／D変換器103、第1等化器301、位相周波数制御器202、電圧制御発振器203の帰還ループでP L Lを構成し、更に、この帰還ループに第1等化器301に直列接続したトランスバーサルフィルタ302Aで再生波形処理装置106を構成する。

### 【0031】

トランスバーサルフィルタ302Aは、第1等化器301による残留等化誤差を等化するもので、例えば、L M S方式で自動的かつ適応的に等化するようにした構成になっている。

### 【0032】

このような構成からなる再生信号波形処理装置は、磁気メディアから再生ヘッドを通して再生される再生信号100は、再生アンプ101により増幅され、離散化手段であるA／D変換器103によりサンプリングされ、再生デジタルデータを得る。第1等化器301はA／D変換器103により得られるデジタル信号をデジタル処理し等化データ303を出力し、等化データ303はトランスバー

サルフィルタ 302A と位相周波数制御器 202 とに供給される。位相周波数制御器 202 は等化データ 303 と、後述する手段で生成される再生クロック信号 108 との位相周波数誤差情報を検出しそれに基づく制御信号を出力する。発振手段である電圧制御発振器 203 は位相周波数制御器 202 からもたらされる制御情報に基づき発振周期を変化させ、再生クロック信号 108 を出力する。

#### 【0033】

ここで、A/D 変換器 103、第 1 等化器 301、位相周波数制御器 202、電圧制御発振器 203 からなる帰還ループにより、再生信号 100 と再生クロック信号 108 との位相同期ループ（PLL）が形成される。

#### 【0034】

一方、トランスバーサルフィルタ 302A は等化データ 303 に残留する等化誤差を等化して再生データ 107 として出力する。ビタビ復号器 104 はトランスバーサルフィルタ 302A によって等化された再生データ 107 からビタビ復号によりデータ 109 を得る。

#### 【0035】

このように、第 1 等化器 301 と第 2 等化器に相当するトランスバーサルフィルタ 302A を分離し、このトランスバーサルフィルタ 302A を、例えば、LMS 理論に基づく自動等化機能を有するトランスバーサルフィルタで構成することにより、位相同期ループよりトランスバーサルフィルタ 302A を分離できるため、位相同期ループと第 2 等化器に相当するトランスバーサルフィルタ 302A の位相等化特性とが干渉する事を無くすことができる。これにより再生波形処理装置 106 の等化特性を最適にすることが可能となり、エラーレートを低くすることが可能となるうえ、テープ、ヘッドなどの製造上のバラツキや経年変化に対応するための調整個所を必要としない再生波形処理装置を実現できる。

また、第 2 等化器に相当するトランスバーサルフィルタ 302A にとっては、残留等化誤差分を等化するだけでよいので低域まで等化する必要が無くなり、タップを少なくすることが出来るため、回路規模を小さくすることが可能となる。

#### 【0036】

次に、本願発明に係る第 3 実施形態の再生信号波形処理装置について、図 3 を

参照して説明する。

### 【0037】

本願発明の第3実施形態の再生波形処理装置は、上記説明した第2実施形態の第1等化器301を簡便なIIR方式のデジタルフィルタで構成したものであり、その構成は、図3に示すように、磁気メディアから再生ヘッドを通して得られる再生信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリングして再生デジタルデータを生成するA/D変換器（ADC）103と、A/D変換器（ADC）103で得られたデジタルデータを等化するデジタルフィルタ（第1等化器に相当する）301Aと、デジタルフィルタ301Aで生成された等化データ303を入力して等化する、デジタルフィルタ301Aに直列接続したトランスバーサルフィルタ302A（第2等化器に相当する）と、トランスバーサルフィルタ302Aで生成された再生データ107をビタビ復号してデータ109を出力するビタビ復号器104と、デジタルフィルタ301Aで生成された等化データを入力すると共に、再生クロック信号108を入力して位相周波数誤差情報を検出しに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108を出力する電圧制御発振器（VCO）203とから構成されている。そして、電圧制御発振器203から出力される再生クロック信号108はA/D変換器103、デジタルフィルタ301A、トランスバーサルフィルタ302A、ビタビ復号器104、位相周波数制御器202に入力され、後段のシステムの同期用クロック信号となる。

この中で、A/D変換器103、デジタルフィルタ301A、位相周波数制御器202、電圧制御発振器203の帰還ループでPLLを構成し、更に、この帰還ループに、デジタルフィルタ301Aに直列接続したトランスバーサルフィルタ302Aで再生波形処理装置106を構成する。

### 【0038】

第1等化器に相当するデジタルフィルタ301Aは、所謂、IIR方式のフィルタであり、IIR型で構成される積分等化器、高域を強調する微分等化器、位相を等化する位相等化器、ナイキスト周波数付近を減衰させる高域遮断フィルタ

、直流成分の除去を目的とする低域遮断フィルタで構成されている。

#### 【0039】

第2等化器に相当するトランスバーサルフィルタ302Aは、デジタルフィルタ301Aによる残留等化誤差を等化するもので、例えば、LMS方式で自動的かつ適応的に等化するようにした構成になっている。

#### 【0040】

このように、PLLを構成する第1等化器に相当するデジタルフィルタ301Aは、IIR型で構成される積分等化器、高域を強調する微分等化器、位相を等化する位相等化器、ナイキスト周波数付近を減衰させる高域遮断フィルタ、直流成分の除去を目的とする低域遮断フィルタにより構成することで、むだ時間要素を減らす事が出来る。これにより位相同期ループの総合的なむだ時間が減り、ループゲインを高く設定できるため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来る。

#### 【0041】

次に、本願発明に係る第4実施形態の再生信号波形処理装置について、図4を参照して説明する。

#### 【0042】

本願発明の第4実施形態の再生信号波形処理装置は、上記説明した第1実施形態の第1等化器301の出力を第3等化器401により、位相周波数制御器202にとって都合の良い波形特性に等化するようにしたものであり、その構成は、図4に示すように、磁気メディアから再生ヘッドを通して得られる再生信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリングして再生デジタルデータを生成するA/D変換器(ADC)103と、A/D変換器(ADC)103で得られたデジタルデータを等化する第1等化器301と、第1等化器301で生成された等化データ303を入力して等化する、第1等化器301に直列接続した第2等化器302と、第2等化器302で生成された再生データ107をビタビ復号してデータ109を出力するビタビ復号器104と、第1等化器301で生成された等化データ303を入力して等化する第3等化器401と、この第3等化器401からの等化データ304を入力する

と共に、再生クロック信号108を入力して位相周波数誤差情報を検出しそれに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108を出力する電圧制御発振器（VCO）203とから構成されている。そして、電圧制御発振器203から出力される再生クロック信号108はA/D変換器103、第1等化器301、第2等化器302、ビタビ復号器104、位相周波数制御器202に入力され、後段のシステムの同期用クロック信号となる。

この中で、A/D変換器103、第1等化器301、第3等化器401、位相周波数制御器202、電圧制御発振器203の帰還ループでPLLを構成し、更に、この帰還ループに、第1等化器301に直列接続した第2等化器302で再生波形処理装置106を構成する。

#### 【0043】

このような構成からなる再生信号波形処理装置は、磁気メディアから再生ヘッドを通して得られる再生信号100は、再生アンプ101を通してA/D変換器103に入力され、このA/D変換器103の出力は第1等化器301に入力される。第1等化器301の出力である等化データ303は第2等化器302と第3等化器401に入力される。第3等化器401からの等化データ304が位相周波数制御器202に入力され、その出力は電圧制御発振器203に入力される。電圧制御発振器203は再生クロック信号108を出力する。第2等化器302の出力である再生データ107はビタビ復号器104によって弁別され、データ109を出力する。

#### 【0044】

このように、磁気メディアから再生ヘッドを通して再生される再生信号100は、再生アンプ101により増幅され、離散化手段であるA/D変換器103によりサンプリングされ、再生デジタルデータを得る。第1等化器301はA/D変換器103により得られるデジタル信号をデジタル処理し等化データ303を出力し、等化データ303は第2等化器302と第3等化器401に供給され、第3等化器401からの等化データ304が位相周波数制御器202に供給される。位相周波数制御器202は等化データ304と、後述する手段で生成される

再生クロック108との位相周波数誤差情報を検出しそれに基づく制御信号を出力する。発振手段である電圧制御発振器203は位相周波数制御器202からもたらされる制御情報に基づき発振周期を変化させ、再生クロック108を出力する。

#### 【0045】

ここで、A/D変換器103、第1等化器301、第3等化器401、位相周波数制御器202、電圧制御発振器203からなる帰還ループにより、再生信号100と再生クロック108との位相同期ループ（PLL）が形成される。

#### 【0046】

一方、第2等化器302は等化データ303に残留する等化誤差を等化して再生データ107として出力する。ビタビ復号器104は第2等化器302によって等化された再生データ107からビタビ復号によりデータ109を得る。

#### 【0047】

このように、第3等化器401により周波数制御器202に入力する信号の周波数、位相特性を変化させることが出来るようにしたことで、位相周波数制御器202にとって誤差検出しやすい特性を積極的に作ることが可能となる。これにより、テープ、ヘッドなどの特性ばらつき及び特性変化で生じるバラツキに対する許容範囲を大きくすることが可能となる。

#### 【0048】

次に、本願発明に係る第5実施形態の再生信号波形処理装置について、図5を参照して説明する。

#### 【0049】

本願発明の第5実施形態の再生信号波形処理装置は、上記説明した第1実施形態の第1等化器301の出力である等化データ303を第1デシメーションフィルタ501を通して第2等化器302に入力する点と、再生クロック信号108を第2デシメーションフィルタ502を通して第2等化器302及びビタビ復号器104、後段のシステムに供給するようにしたものであり、その構成は、図5に示すように、磁気メディアから再生ヘッドを通して得られる再生信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリング

グして再生デジタルデータを生成するA／D変換器（A D C）103と、A／D変換器（A D C）103で得られたデジタルデータを等化する第1等化器301と、第1等化器301で生成された等化データ303を入力して等化する、第1等化器301に直列接続した第1デシメーションフィルタ501及び第2等化器302と、第2等化器302で生成された再生データ107をビタビ復号したデータ109を出力するビタビ復号器104と、第1等化器301からの等化データ303を入力すると共に、再生クロック信号108Aを入力して位相周波数誤差情報を検出しそれに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108Aを出力する電圧制御発振器（V C O）203とから構成されている。そして、電圧制御発振器203から出力される再生クロック信号108AはA／D変換器103、第1等化器301、位相周波数制御器202に供給され、第2デシメーションフィルタ502を介して第2等化器302及びビタビ復号器104に再生クロック信号108Bが供給され、後段のシステムの同期用クロック信号となる。

この中で、A／D変換器103、第1等化器301、位相周波数制御器202、電圧制御発振器203の帰還ループでP L Lを構成し、更に、この帰還ループに第1等化器301に第1デシメーションフィルタ501を介して直列接続した第2等化器302、及び再生クロック信号108Aのラインに接続した第2デシメーションフィルタ502で再生波形処理装置106を構成する。

#### 【0050】

第1デシメーションフィルタ501は、第1及び第2等化器301、302の動作クロックの違いを吸収するものであり、これによって、P L Lを構成する第1等化器301側のクロックを高速にしても、その影響は第2等化器302に影響を与えない。

#### 【0051】

第2デシメーションフィルタ502は、再生クロック信号108A、108BをP L L側と、第2等化器302側のクロックの違いを許容するもので、P L Lブロック内の再生クロック信号108Aを分周し、第2等化器302及びビタビ

復号器に供給する再生クロック信号108Bを生成する分周器の機能を有する。

#### 【0052】

このような構成からなる再生信号波形処理装置は、磁気メディアから再生ヘッドを通して得られる再生信号100は、再生アンプ101を通してA/D変換器103に入力され、このA/D変換器103の出力は第1等化器301に入力される。第1等化器301の出力である等化データ303は第1デシメーションフィルタ501と位相周波数制御器202に入力され、その出力は電圧制御発振器203に入力される。電圧制御発振器203は再生クロック信号108Aを出力する。この再生クロック信号108Aは第2デシメーションフィルタ502で分周して再生クロック信号108Bを生成して第2等化器302及びビタビ復号器104に入力し、再生データ107はビタビ復号器104によって弁別され、データ109を出力する。

#### 【0053】

このように、磁気メディアから再生ヘッドを通して再生される再生信号100は、再生アンプ101により増幅され、離散化手段であるA/D変換器103によりサンプリングされ、再生デジタルデータを得る。第1等化器301はA/D変換器103により得られるデジタル信号をデジタル処理し等化データ303を出力し、等化データ303は第1デシメーションフィルタ501と位相周波数制御器202とに供給される。位相周波数制御器202は等化データ303と、後述する手段で生成される再生クロック信号108Aとの位相周波数誤差情報を検出しそれに基づく制御信号を出力する。発振手段である電圧制御発振器203は位相周波数制御器202からもたらされる制御情報に基づき発振周期を変化させ、再生クロック信号108Aを出力する。

この再生クロック信号108Aは、第2デシメーションフィルタ502により分周されて再生クロック信号108Bを作成して、この再生クロック信号108Bを第2等化器302及びビタビ復号器104に供給する。

#### 【0054】

ここで、A/D変換器103、第1等化器301、位相周波数制御器202、電圧制御発振器203からなる帰還ループにより、再生信号100と再生クロック

ク信号108Aとの位相同期ループ（PLL）が形成される。

#### 【0055】

一方、第2等化器302は第1デシメーションフィルタ501でクロックを吸収して等化データ303に残留する等化誤差を等化して再生データ107として出力する。ビタビ復号器104は第2等化器302によって等化された再生データ107からビタビ復号によりデータ109を得る。

#### 【0056】

このように、第1及び第2デシメーションフィルタ501、501を備えた構成にすることで、PLL側でのクロック速度と、第2等化器302側でのクロック速度を変えることができ、これは周波数同期ループ（PLL）の動作クロックを早めること、即ち、帰還ループの動作クロックを第2等化器302側での動作クロックに対して遅倍で動作させることができる。これによりループゲインを上げることが出来るため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来るのである。

#### 【0057】

次に、本願発明に係る第6実施形態の再生波形処理装置について、図6を参照して説明する。

#### 【0058】

本願発明の第6実施形態の再生信号波形処理装置は、上記説明した第1実施形態の第1等化器301の出力である等化データ303を第1デシメーションフィルタ501をとおして第2等化器302に入力する点と、再生クロック信号108Aを第2デシメーションフィルタ502を通して再生クロック信号108Aとして、第2等化器302及びビタビ復号器104、後段のシステムに供給するようにした点、第1等化器301と位相周波数制御器202の間に第3等化器を備えたものであり、その構成は、図5に示すように、磁気メディアから再生ヘッドを通して得られる再生信号100を増幅する再生アンプ101と、再生アンプ101で増幅された信号をサンプリングして再生デジタルデータを生成するA/D変換器（ADC）103と、A/D変換器（ADC）103で得られたデジタルデータを等化する第1等化器301と、第1等化器301で生成された等化データ

タ303を入力して等化する、第1等化器301に直列接続した第1デシメーションフィルタ501及び第2等化器302と、第2等化器302で生成された再生データ107をビタビ復号してデータ109を出力するビタビ復号器104と、第1等化器301からの等化データ303を入力する第3等化器401と、第3等化器401からの等化データ304と共に、再生クロック信号108Aを入力して位相周波数誤差情報を検出しそれに基づく制御信号を出力する位相周波数制御器202と、位相周波数制御器202で生成された制御信号に基づき発振周期を変化させ、且つ再生クロック信号108を出力する電圧制御発振器（VCO）203とから構成されている。そして、電圧制御発振器203から出力される再生クロック信号108AはA/D変換器103、第1等化器301、位相周波数制御器202、第2デシメーションフィルタ502を介して再生クロック信号108Bとなり、この再生クロック信号108Bが第2等化器302及びビタビ復号器104に入力され、後段のシステムの同期用クロック信号となる。

#### 【0059】

第1デシメーションフィルタ501は、第1及び第2等化器301、302の動作クロックの違いを吸収するものであり、これによって、PLLを構成する第1等化器301側のクロックを高速にしても、その影響は第2等化器302に影響を与えない。

#### 【0060】

第2デシメーションフィルタ502は、再生クロック信号をPLL側と、第2等化器302側のクロックの違いを許容するもので、PLLブロック内の再生クロック信号108Aを分周し、第2等化器302及びビタビ復号器に供給する再生クロック信号108Bを生成する分周器の機能を有する。

#### 【0061】

第3等化器401は、位相周波数制御器202に入力する信号の周波数、位相特性を変化させることができるようにしたことで、位相周波数制御器202にとって誤差検出しやすい特性を積極的に作ることが可能となる。これにより、テープ、ヘッドなどの特性ばらつき及び特性変化で生じるバラツキに対する許容範囲を大きくすることが可能となる。

### 【0062】

このような構成からなる再生信号波形処理装置において、磁気メディアから再生ヘッドを通して得られる再生信号100は、再生アンプ101を通してA/D変換器103に入力され、このA/D変換器103の出力は第1等化器301に入力される。第1等化器301の出力である等化データ303は第1デシメーションフィルタ501と位相周波数制御器202に入力され、その出力は電圧制御発振器203に入力される。電圧制御発振器203は再生クロック信号108Aを出力する。この再生クロック信号108Aは第2デシメーションフィルタ502で分周して再生クロック信号108Bを生成して第2等化器302及びビタビ復号器104に入力する。そして、出力である再生データ107はビタビ復号器104によって弁別され、データ109を出力する。

### 【0063】

このように、磁気メディアから再生ヘッドを通して再生される再生信号100は、再生アンプにより増幅され、離散化手段であるA/D変換器103によりサンプリングされ、再生デジタルデータを得る。第1等化器301はA/D変換器103により得られるデジタル信号をデジタル処理し等化データ303を出力し、等化データ303は第1デシメーションフィルタ501と位相周波数制御器202に供給される。位相周波数制御器202は等化データ303と、後述する手段で生成される再生クロック信号108Aとの位相周波数誤差情報を検出しそれに基づく制御信号を出力する。発振手段である電圧制御発振器203は位相周波数制御器202からもたらされる制御情報に基づき発振周期を変化させ、再生クロック信号108Aを出力する。

この再生クロック信号108Aは、第2デシメーションフィルタ502により分周されて再生クロック信号108Bを作成して、この再生クロック108Bを第2等化器302及びビタビ復号器104に供給する。

### 【0064】

ここで、A/D変換器103、第1等化器301、位相周波数制御器202、電圧制御発振器203からなる帰還ループにより、再生信号100と再生クロック108との位相同期ループ（PLL）が形成される。

**【0065】**

一方、第2等化器302は第1デシメーションフィルタ501でクロックを吸収して等化データ303に残留する等化誤差を等化して再生データ107として出力する。ビタビ復号器104は第2等化器302によって等化された再生データ107からビタビ復号によりデータ109を得る。

**【0066】**

このように、周波数同期ループの動作クロックを早めることができる。これによりループゲインを上げることが出来るため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来るのである。

**【0067】****【発明の効果】**

上記説明したように、本発明に係る再生波形処理装置は、PLLの構成要素である第1等化器と、第2等化器を分離することにより、第1等化器は、第2等化器で厳密な等化ができるため、厳密な等化特性を実現する必要性から開放される。そのため、第1等化器が備えるべき特性は、A/D変換器、第1等化器、位相周波数制御器、電圧制御発振器で構成される位相同期ループ（PLL）を構成する必要十分な等化特性を実現するだけとなるため、簡便でむだ時間要素の少ない等化器の設計ができるという効果がある。

**【0068】**

又、これにより、位相同期ループの総合的なむだ時間が減り、ループゲインを高く設定できるため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来る。

**【0069】**

更に、第2等化器により第1等化器の残留等化誤差を無くせるため、エラーレートを低くすることが出来る。

また、第2等化器にとっては、残留等化誤差分を等化するだけでよいので回路規模を小さくできる。

**【0070】**

第1等化器と第2等化器を分離し、第2等化器を、例えば、LMS理論に基づ

く自動等化機能を有するトランスバーサルフィルタで構成することにより、位相同期ループより第2等化器を分離できるため、位相同期ループと第2等化器の位相等化特性とが干渉する事を無くすことができ、より再生波形処理装置の等化特性を最適にすることが可能となり、エラーレートを低くすることが可能となるうえ、テープ、ヘッドなどの製造上のバラツキや経年変化に対応するための調整個所を必要としない再生波形処理装置を実現できる。

又、第2等化器にとっては、残留等化誤差分を等化するだけでよいので低域まで等化する必要が無くなり、タップを少なくすることが出来るため、回路規模を小さくすることが可能となる。

### 【0071】

第1等化器をIIR型で構成される積分等化器、高域を強調する微分等化器、位相を等化する位相等化器、ナイキスト周波数付近を減衰させる高域遮断フィルタ、直流成分の除去を目的とする低域遮断フィルタにより構成することで、むだ時間要素を減らす事が出来る。これにより位相同期ループの総合的なむだ時間が減り、ループゲインを高く設定できるため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来る。

### 【0072】

第3等化器により周波数制御器に入力する信号の周波数、位相特性を変化させることが出来る。これにより、位相周波数制御器にとって誤差検出しやすい特性を積極的に作ることが可能となる。これにより、テープ、ヘッドなどの特性ばらつき及び特性変化で生じるバラツキに対する許容範囲を大きくすることが可能となる。

### 【0073】

第1等化器と第2等化器との間にデシメーションフィルタを挿入し、且つ第1等化機と第2等化器との再生クロックラインにデシメーションフィルタを挿入したことで、PLLを構成する第1等化器の周波数同期ループの動作クロックを早めることができ、これによりループゲインを上げることが出来るため、広い周波数引き込みレンジと高い周波数追従性能を得ることが出来る。

### 【図面の簡単な説明】

**【図1】**

本発明に係る第1実施形態の再生波形処理装置のブロック図である。

**【図2】**

本発明に係る第2実施形態の再生波形処理装置のブロック図である。

**【図3】**

本発明に係る第3実施形態の再生波形処理装置のブロック図である。

**【図4】**

本発明に係る第4実施形態の再生波形処理装置のブロック図である。

**【図5】**

本発明に係る第5実施形態の再生波形処理装置のブロック図である。

**【図6】**

本発明に係る第6実施形態の再生波形処理装置のブロック図である。

**【図7】**

従来技術におけるアナログPLL回路のブロック図である。

**【図8】**

従来技術におけるデジタルPLL回路のブロック図である。

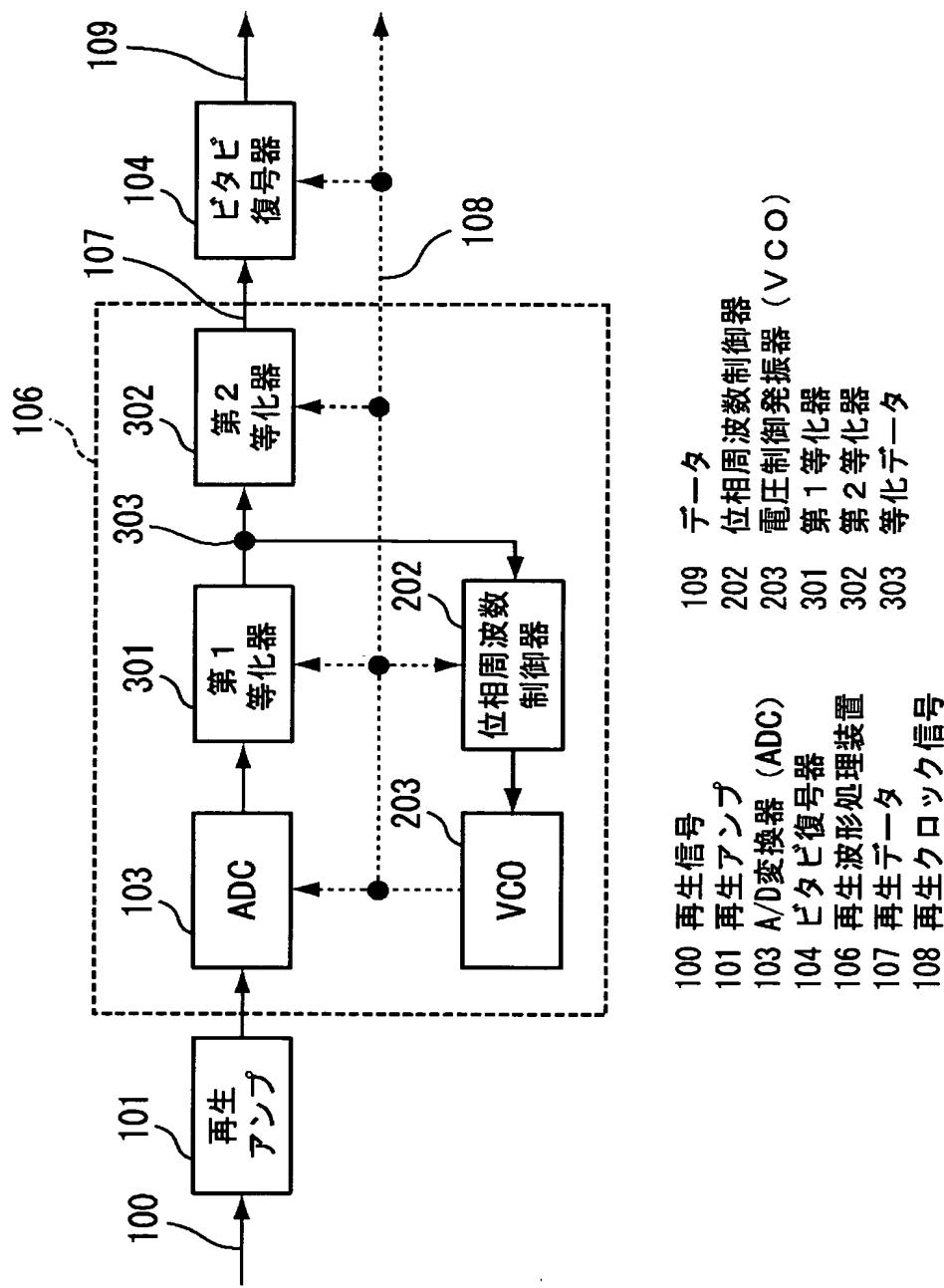
**【符号の説明】**

100；再生信号、101；増幅器、103；A/D変換器、104；ビタビ復号器、106；再生波形処理装置、107；再生データ、108；再生クロック、108A；再生クロック、108B；再生クロック、109；データ、202；位相周波数制御器、203；電圧制御発振器、301；第1等化器、301A；デジタルフィルタ、302；第2等化器、302A；トランスパーサルフィルタ、303；等化データ、304；等化データ、401；第3等化器、501；第1デシメーションフィルタ、502；第2デシメーションフィルタ。

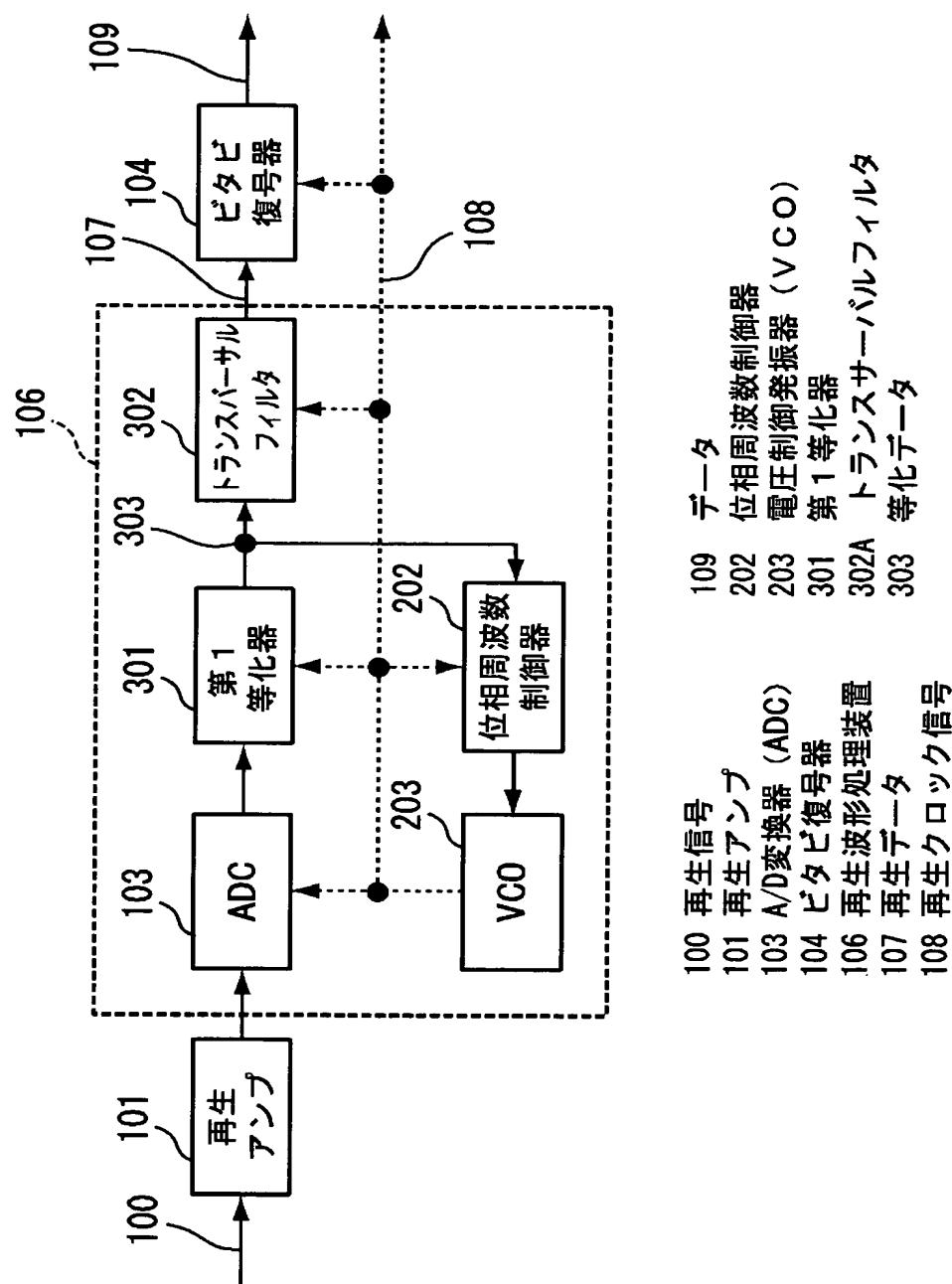
【書類名】

図面

【図 1】

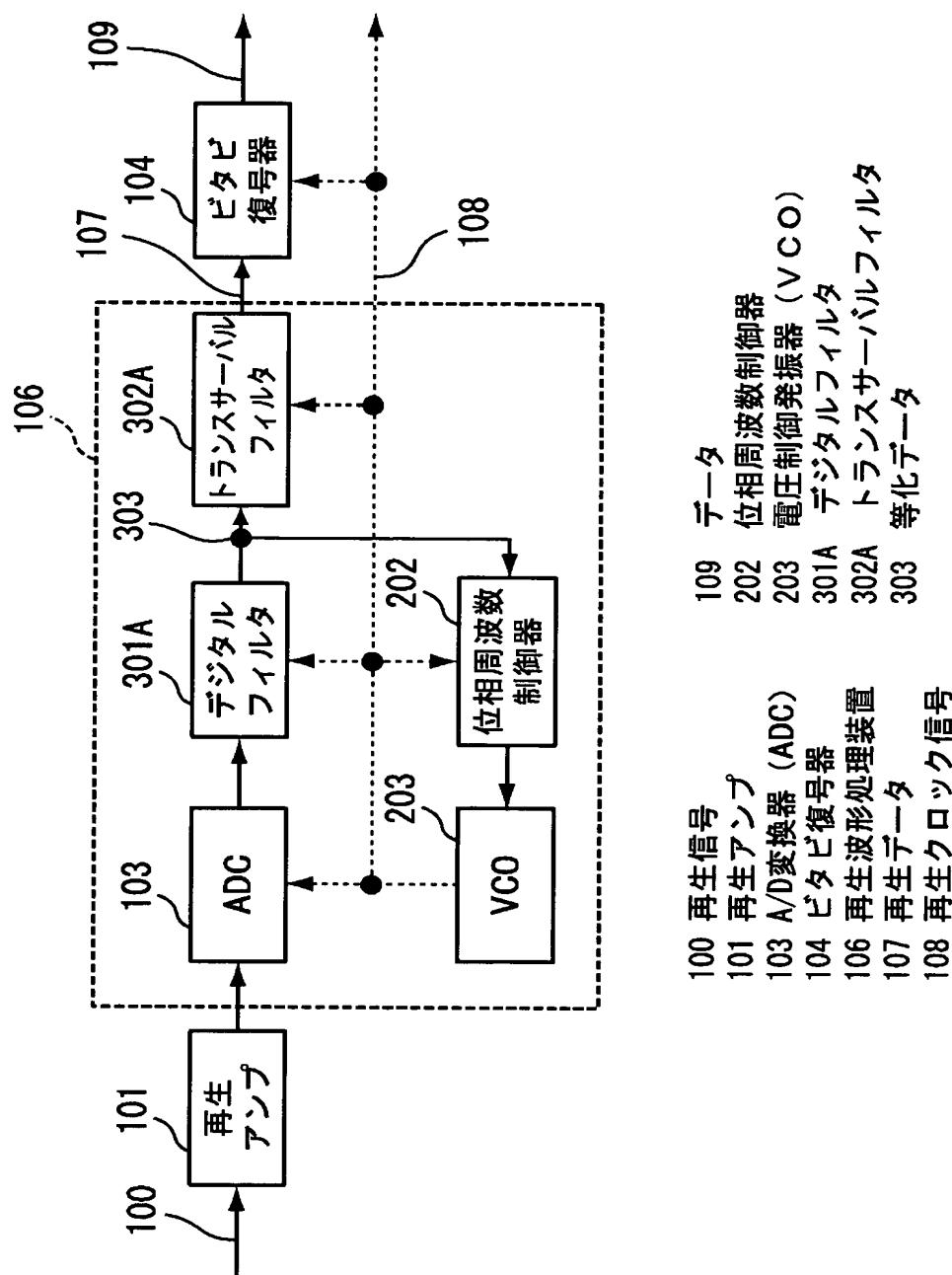


【図2】

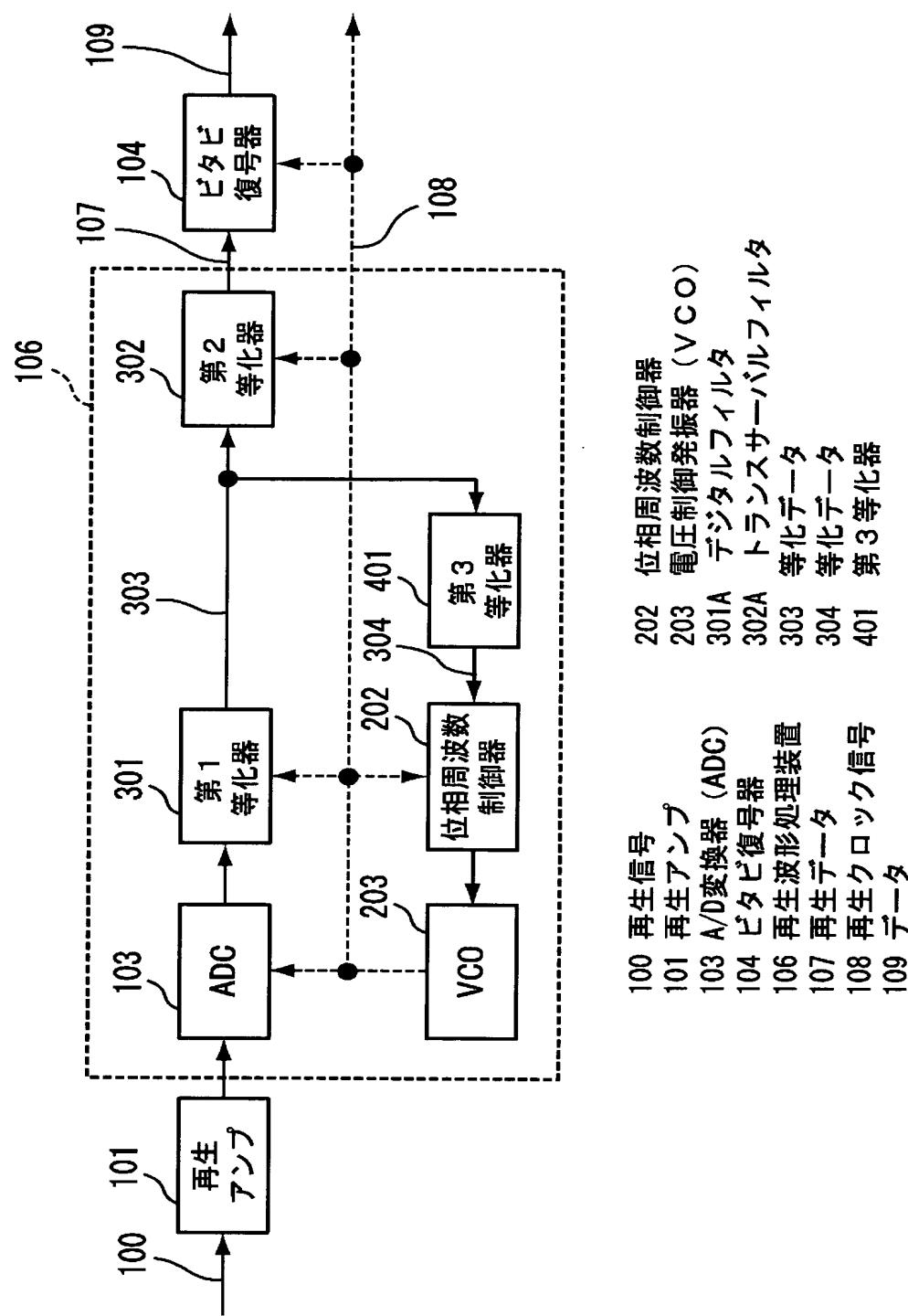


- |                  |                    |
|------------------|--------------------|
| 100 再生信号         | 109 データ            |
| 101 再生アンプ        | 202 位相周波数制御器       |
| 103 A/D変換器 (ADC) | 203 電圧制御発振器 (VCO)  |
| 104 ビタビ復号器       | 301 第1等化器          |
| 106 再生波形処理装置     | 302A トランシスバーサルフィルタ |
| 107 再生データ        | 303 等化データ          |
| 108 再生クロック信号     |                    |

【図3】

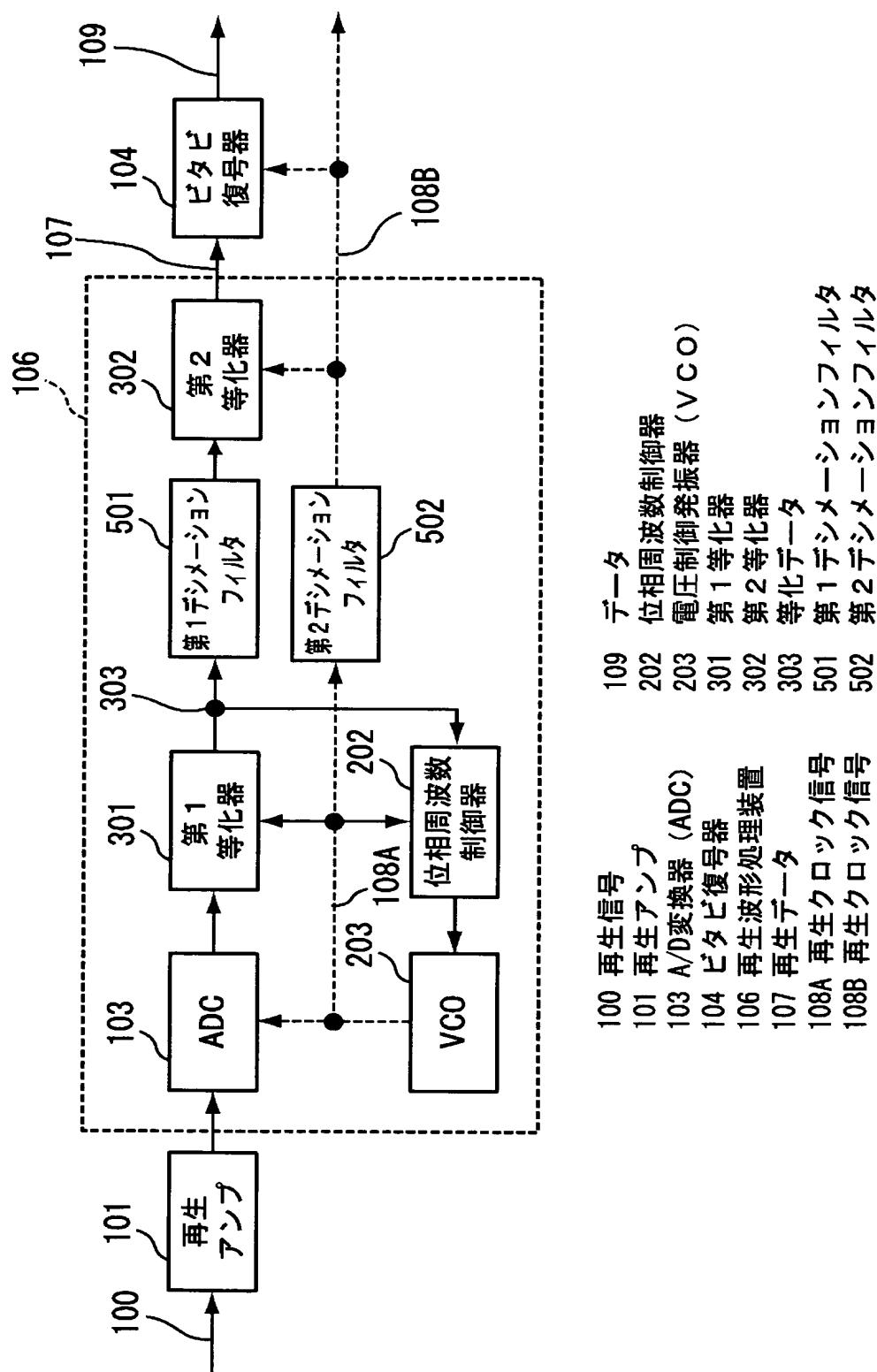


【図4】

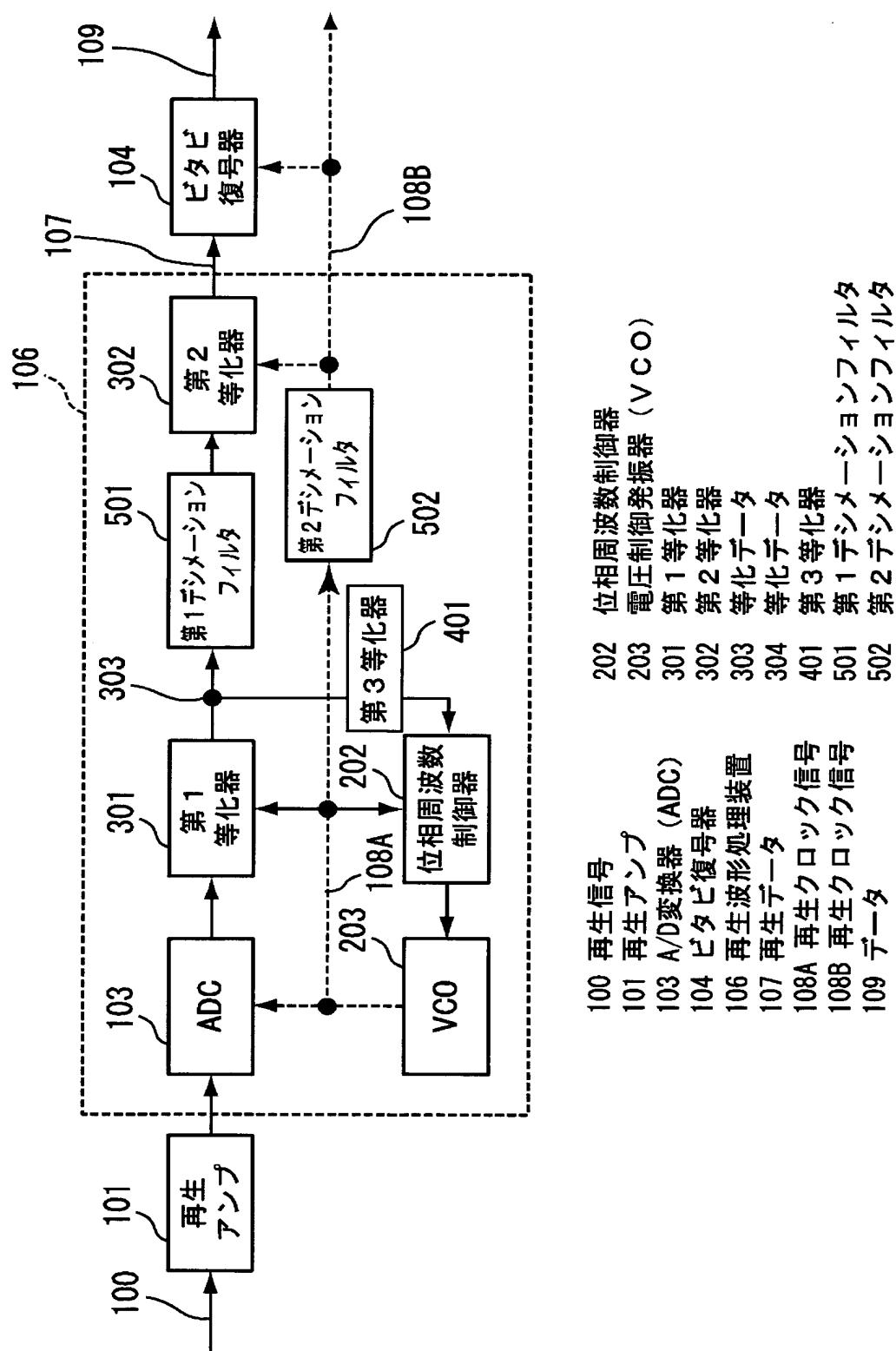


- |                  |                    |
|------------------|--------------------|
| 100 再生信号         | 202 位相周波数制御器       |
| 101 再生アンプ        | 203 電圧制御発振器 (VCO)  |
| 103 A/D変換器 (ADC) | 301A デジタルフィルタ      |
| 104 ビタビ復号器       | 302A トランシスサーバルフィルタ |
| 106 再生波形処理装置     | 303 等化データ          |
| 107 再生データ        | 304 等化データ          |
| 108 再生クロック信号     | 401 第3等化器          |
| 109 データ          |                    |

【図5】

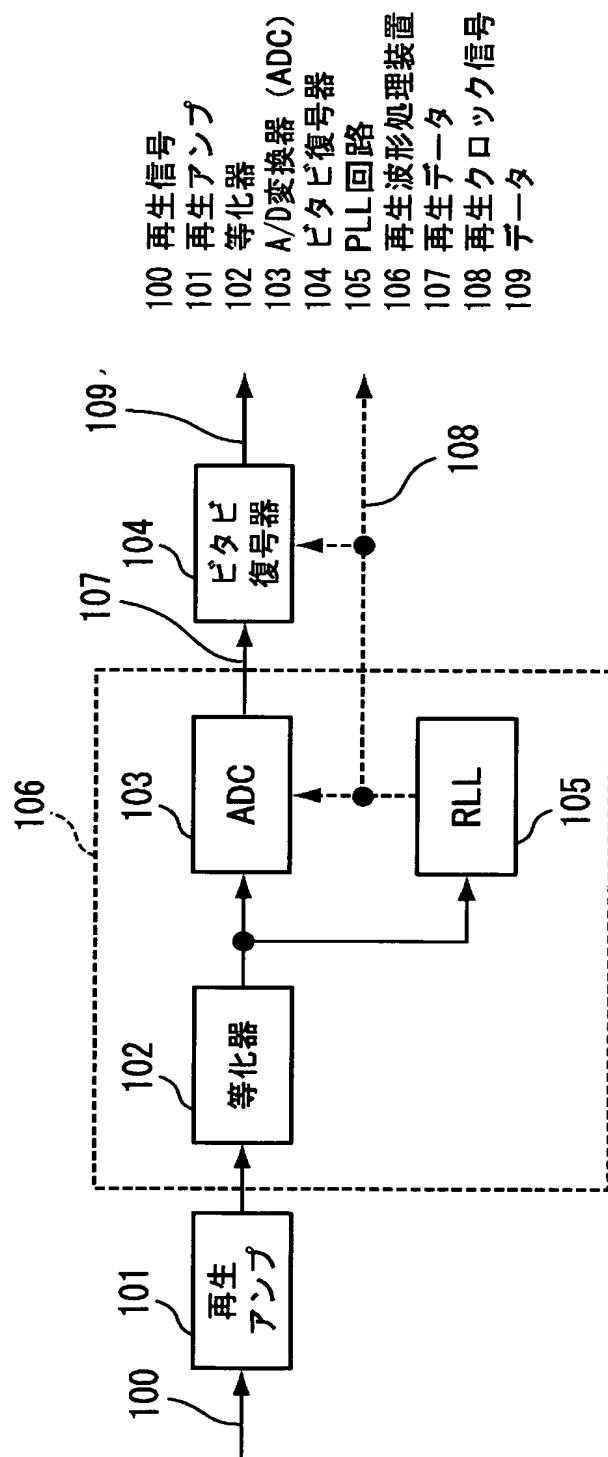


【図6】

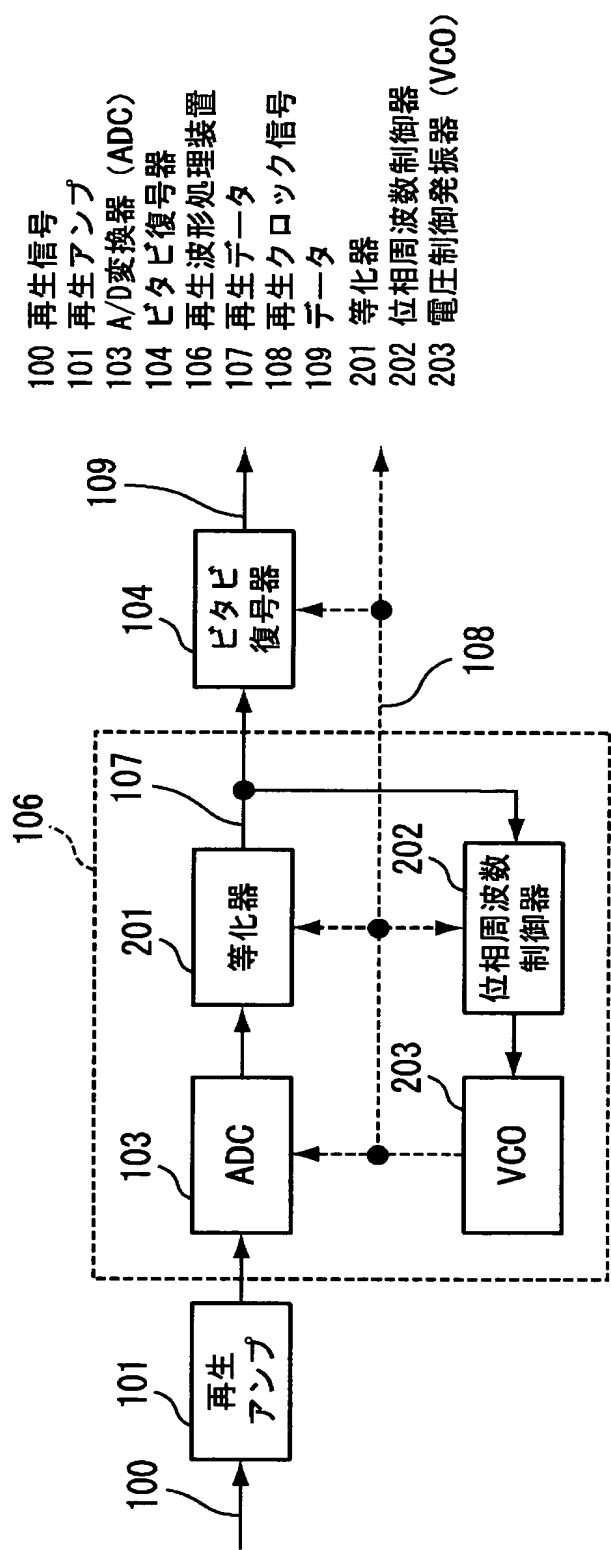


- |                  |                   |
|------------------|-------------------|
| 100 再生信号         | 202 位相周波数制御器      |
| 101 再生アンプ        | 203 電圧制御発振器 (VCO) |
| 103 A/D変換器 (ADC) | 301 第1等化器         |
| 104 ビタビ復号器       | 302 第2等化器         |
| 106 再生波形処理装置     | 303 等化データ         |
| 107 再生データ        | 304 等化データ         |
| 108A 再生クロック信号    | 401 第3等化器         |
| 108B 再生クロック信号    | 501 第1デシメーションフィルタ |
| 109 データ          | 502 第2デシメーションフィルタ |

【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 A/D変換器、第1等化器、位相周波数制御器、電圧制御発振器で構成するデジタルPLLに、第1等化器に直列に第2等化器を設けるようにして、第2等化器で厳密に等化することでPLLでの等化特性は緩やかに行える再生信号波形処理装置を提供する。

【解決手段】 再生信号波形処理装置は、再生信号を所定の発振周波数によって生成された再生クロック信号の間隔でサンプリングしてデジタル再生信号を生成するA/D変換器と、A/D変換器で生成されたデジタル再生信号を等化する第1等化器と、第1等化器で等化されたデジタル再生信号を等化する第1等化器と直列接続した第2等化器と、第1等化器で等化されたデジタル再生信号と再生クロック信号との周波数の位相誤差を検出し、再生クロック信号とデジタル再生信号との位相周波数誤差情報に基づく制御信号を出力する位相周波数制御手段と、位相周波数制御手段の指令に基づき発振周波数を変化させる可変周波数発振手段と、を備え、A/D変換器と第1等化器と位相周波数制御手段と可変周波数発振手段とによる帰還ループがデジタル再生信号と再生クロック信号の周波数位同期するように帰還ループを形成し、PLLとして動作する。

【選択図】 図1

特願2003-020549

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社